

(11)Publication number : 02-244342  
(43)Date of publication of application : 28.09.1990

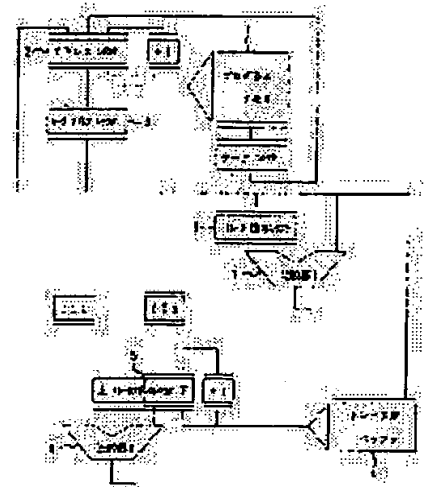
G06F 11/28

(71)Applicant : FUJITSU LTD  
(72)Inventor : SEKIMOTO KOJI  
KARIBE HIDENORI

(72)Inventor :           SEKIMOTO KOJI  
                              KARIBE HIDENORI

(57)Abstract:

**CONSTITUTION:** Every time the branch instruction is executed, a comparator 17 compares the contents of a save address register 3 which are data to be traced with the contents of a trace copy register 6. When the comparison result of the comparator 17 shows a coincidence, '000' is set in a trace address low-order register 51. Consequently, the storage address of the buffer 4 for tracing is returned and next trace data is overwritten on trace data which is stored in this range. When the comparison result of the comparator 17 does not show the coincidence, the value of the save address register 3 is stored in the buffer 4 for tracing. Consequently, data is prevented from being stored repeatedly and the buffer for tracing can be used effectively.



[Date of request for examination]

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

**[Patent number]**

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

引用例2の写し

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-244342

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月28日

G 06 F 11/28

3 1 0 E

7343-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 分岐命令のトレーサー

⑯ 特 願 平1-66824

⑰ 出 願 平1(1989)3月17日

⑱ 発 明 者 関 本 幸 治 神奈川県川崎市中原区上小田中1015番地 株式会社富士通  
プログラム技研内

⑲ 発 明 者 苅 部 英 則 神奈川県川崎市中原区上小田中1015番地 株式会社富士通  
プログラム技研内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

分 岐 命 令 の ト レ ー サ ー

2 特許請求の範囲

分岐命令が実行された時、分岐先のプログラムメモリ(1)内アドレスをトレース用バッファ(4)に格納する分岐命令のトレーサーであって、

分岐命令が実行された時アドレスレジスタ(2)の値を複写し保持するセーブアドレスレジスタ(3)と、

トレースすべきデータを格納するトレース用バッファ(4)と、

トレース用バッファの格納アドレスを保持し分岐命令が実行される毎にインクリメントするトレースアドレスレジスタ(5)と、

セーブアドレスレジスタ(3)の値を複写し保持するトレース複写レジスタ(6)と、

セーブアドレスレジスタ(3)の値とトレース複写レジスタ(6)の値を比較する比較器Ⅰ(7)と、

トレースアドレスレジスタ(5)の下位n桁の値と予め定めた基準値の一つ前の値とを比較する比較器Ⅱ(8)と、を備え、

トレースアドレスレジスタ(5)の下位n桁の値が前記基準値の時トレースすべきデータをトレース複写レジスタ(6)に複写して保持させ、分岐命令の実行毎に次にトレースすべきデータを保持するセーブアドレスレジスタ(3)の値とトレース複写レジスタ(6)の値を比較し、同一であれば、前記トレースアドレスレジスタ(5)の下位n桁に前記基準値をセットすることによりトレースアドレスを戻し、比較結果が同一でなければセーブアドレスレジスタ(3)の内容をトレース用バッファ(4)に格納するよう構成したことを特徴とする分岐命令のトレーサー。

3 発明の詳細な説明

(概 要)

情報処理装置において分岐命令の分岐先をトレースするトレーサーに関し、

必要のないデータの繰返しをバッファに格納せずバッファの格納効率を向上することを目的とし、

分岐命令が実行された時アドレスレジスタの値を複写し保持するセーブアドレスレジスタと、トレースすべきデータを格納するトレース用バッファと、トレース用バッファの格納アドレスを保持するトレースアドレスレジスタと、セーブアドレスレジスタの値を複写し保持するトレース複写レジスタと、セーブアドレスレジスタの値とトレース複写レジスタの値を比較する比較器Ⅰと、トレースアドレスレジスタの下位  $n$  桁の値と予め定めた基準値の一つ前の値とを比較する比較器Ⅱと、を備え、トレースアドレスレジスタの下位  $n$  桁の値が前記基準値の時トレースすべきデータをトレース複写レジスタに複写して保持させ、分岐命令の実行毎に次にトレースすべきデータを保持するセーブアドレスレジスタの値とトレース複写レジスタの値を比較し、同一であれば、前記トレースアドレスレジスタの下位  $n$  桁に前記基準値をセッ

トすることによりトレースアドレスを戻し、比較結果が同一でなければセーブアドレスレジスタの内容をトレース用バッファに格納するように構成する。

#### 〔産業上の利用分野〕

本発明は、情報処理装置において分岐命令の分岐先をトレースするトレーサに関する。

#### 〔従来の技術〕

情報処理装置において、分岐命令が実行されたとき分岐命令の分岐先アドレスを格納しておいて、診断、デバッグ等に使用することが行われる。一定規模以上の処理装置においては、サービスプロセッサ等によりこれを行うのが一般である。

マイクロプログラムを格納するCS（コントロールストレージ）等において、分岐命令が実行されるときに、分岐先をトレース用バッファに格納してトレースする方法は従来の技術として行われている。

#### 〔発明が解決しようとする課題〕

上記のような従来のトレーサにおいては、プログラムの処理がループをなしている場合には、分岐命令が多用されているため、トレース用のバッファは繰返しの内容ですぐ一杯になってしまい、トレーサとしての機能を充分果たすことができないという問題がある。

本発明が解決しようとする課題は、このような従来の問題点を解消した分岐命令のトレーサを提供することにある。

#### 〔課題を解決するための手段〕

第1図は、本発明の構成を示すブロック図である。

図において、1はプログラムを格納するプログラムメモリである。

2はアドレスレジスタであり、次に実行すべき命令のアドレスを保持する。

3はセーブアドレスレジスタであり、分岐命令が実行されるとアドレスレジスタの値を複写し保

持する。

4はトレース用バッファであり、トレースすべき分岐先を格納する。

5はトレースアドレスレジスタであり、トレース用バッファの格納アドレスを保持し分岐命令の実行毎にインクリメントする。

51はトレースアドレス下位レジスタであり、トレースアドレスレジスタ5の下  $n$  桁部分のレジスタである。

6はトレース複写レジスタであり、セーブアドレスレジスタ3の内容を複写し保持する。

7は比較器Ⅰでありセーブアドレスレジスタ3の値とトレース複写レジスタ6の値を比較する。

8は比較器Ⅱであり、トレースアドレス下位レジスタ51の値と予め定められた基準値の一つ前の値と比較する。

#### 〔作用〕

本発明では、トレースアドレスレジスタ5の下位  $n$  桁の値に定めた基準値によって、トレース用

バッファ4内に一定の範囲を設定し、その範囲の先頭データと比較することによってループの有無を検出する。

例えば、トレースアドレスレジスタの下位3桁の値が、“000”であった時(比較器Ⅱ8によりトレースアドレスレジスタの下位3桁の値と“111”を比較して一致が得られた次のタイミング)、トレースすべきデータ(分岐先アドレス)をトレース複写レジスタ6に複写し、保持しておく。

分岐命令の実行毎に、トレースすべきデータであるセーブアドレスレジスタ3の内容とトレース複写レジスタ6の内容を比較器17によって比較する。

比較器17による比較の結果、一致すれば、トレースアドレス下位レジスタ51に“000”をセットする。これによって、トレース用バッファ4の格納アドレスを戻すことになり、この範囲に格納されていたトレースデータの上に次のトレースデータが上書きされる。

51はトレースアドレス下位レジスタ(TRA L)であり、52はトレースアドレス上位レジスタ(TRA L)である。

6はトレース複写レジスタ(TRC)であり、制御信号CLGによってSVA3の値を複写する。

7は比較器1であり、SVA3の値とTRC6の値を比較する。一致すれば一致信号TRCを出力する。

8は比較器Ⅱであり、TRA L51の値と加算器11の出力を加算する。

9はトレースアドレスベース・レジスタ(TRAB)であり、トレースアドレスの下位n桁の基準となる値を格納する。この基準となる値は可変であって、トレースアドレス間隔レジスタTRA I10に設定されたアドレス間隔ごとに更新される。

10はトレースアドレス間隔レジスタ(TRA I)であり、プログラムのループ検出するトレースアドレス範囲を設定する。

11は加算器であり、TRAB9の値とTRA I10の値を加算する。

比較器17による比較の結果、一致しなければセーブアドレスレジスタ3の値をトレース用バッファ4に格納する。

次に、トレースアドレス下位レジスタ51の値を更新する。

上記の構成により、重複データの格納を防ぎ、トレース用バッファを有効に使用することができる。

#### (実施例)

以下第2図～第5図に示す実施例により本発明をさらに具体的に説明する。

第2図は、本発明の一実施例の構成を示す図である。

図において、1はコントロールストレージ(CS)であり、2はコントロールストレージアドレス・レジスタ(CSA)である。3はセーブアドレス・レジスタ(SVA)である。

4はローカルストレージ(LS)であり、トレースデータを格納する。

本実施例では、TRAB9、TRA I10および加算器11によって、TRA U10の桁数で決まる数に拘束されることなく、トレースアドレス間隔を任意に設定することができるようになっている。

12はトレースアドレス情報レジスタ(TRI)であり、ループされた回数等の情報を格納する。

13は分岐成功フリップフロップであり、分岐成功信号(BS)によりセットされ、分岐成功複写信号を出力する。

図中の実線はデータ線を示し、破線は制御線を示す。

LS4のデータ入力およびTRA L51の入力にある○印は、マルチプレクス制御信号を示す。LS4のデータ入力は、通常はSVA3からであるが、比較器Ⅱ8の一致信号TRACが出力されたとき、ループ回数等の情報を格納するTRI12側に切り換えられる。TRA L51の入力は、+1加算器によってインクリメントされるが、比較器17から一致信号TRCによってTRAB9側に切り換えられる。

比較器Ⅱ8の一致出力TRACとBSの論理積信号と、クロックCLKとの論理積で信号CLCが出力され、TRC6への複写が取られ、TRAB9の更新が行われる。

以下、第2図に示す実施例装置の動作を説明する。

- (1)始めに、TRAUS2、TRAL51、TRAB9、TR110、TRC6、CSA2、SVA3の内容をリセットする。
- (2)TRAI10には必要な値を固定的に与えるか必要に応じて書き替えることも出来るが、本動作例では“7”とする。TRAB9は初期値は“0”である。
- (3)コントロールストレージ(CS)1において分岐命令が実行されると、CSA2の値はSVA3に複写される。また、分岐成功信号BSがオンとなるので、フリップフロップ13がセットされ、次のタイミングで分岐成功複写信号BSCがオンとなる。
- (4)比較器Ⅰ7によって、TRC6の内容とSVA

3の内容が比較される。比較した内容が同じであれば、TRAL51にTRAB11の値を複写し、TR110を1だけインクリメントする。比較した内容が同じでなければ、TRAL51は1だけインクリメントする。

- (5)ステップ(4)の次のタイミングで、ローカルストレージ(LS)4にSVA3の値が書き込まれる。
- (6)比較器Ⅱ8による比較結果が一致であれば、次のタイミングで、加算器11の出力に+1加算され、次のタイミングでその値によってTRAB9の値が更新され、またSVA3の内容がTRC6に複写される。

第3図は、本発明の一実施例の動作例としてのプログラムの流れを示す図である。

第4図は、本発明の一実施例により、第3図に示したプログラムの流れを処理したときの動作を示すタイムチャートである。

第3図に示すように、①②③④⑤⑥⑦⑧⑨という順番で分岐が行われ、プログラムが実行され

たときの各信号(データ)のタイミングは第4図に示すようになる。

分岐成功信号(BS)より1タイミング遅れて分岐成功複写信号(BSC)が出力される。

セーブアドレスレジスタ(SVA)3の内容は、プログラムの実行に従って、①②③④⑤⑥⑦⑧⑨となる。

TRAL51の内容は、最初はTRAB10の値“0”であるから、SVA3の値①がTRC6に複写され(タイミング3)、LSのアドレス0にトレースデータ①が格納される(タイミング4)。続いて、タイミング6で、アドレス1にトレースデータ②が格納される。

分岐成功ごとにSVA3の値とTRC6の値が比較されているが、タイミング7で、①と①で一致がとれ、TRAL51の値は“0”がセットされる。同時に、ループされた回数の情報を格納するTR112の値が+1される。

従って、タイミング8で、LS4のアドレス0にトレースデータ①が上書きされ、タイミング10

でアドレス1に③が上書きされる(アドレス1のデータは②から③に変更される)。

以下、同様にトレースデータ④～⑨が、LS4のアドレス2～6に格納される。

本例では、TRAI10の値は“7”が設定しており、タイミング20において、TRAL51の値が“7”となると、比較器Ⅱ8で一致がとれて一致信号TRACが出力され、次のタイミングでLS4の入力がTR112側に切り換わり、TR112の内容が格納される。

これと同時に、TRAB9に“8”がセットされ、これがTRAL51にセットされる。

タイミング22で、トレースデータ⑨がLS4のアドレス8に書き込まれる。

第5図は、本発明の一実施例によるトレース結果を示す図である。本図は、トレースアドレス間隔を7と設定した場合の例を示す。

図に示すように、トレーサのアドレス(LS4の格納アドレス)XX00には、基準となるトレースデータ(第4図では①)1が記録され、ア

ドレスXXXX1~XXXX6には通常のトレースデータii.(第4図では③④⑤⑥⑦⑧)が記録される。

トレーサのアドレスXXXX7には、先頭の1ビットにループの有無を示すフラグiiiと、データivが記録される。

フラグiiiが“0”のときは、トレースデータi、iiを通してループの無かったことを示し、データivはトレースデータであることを示す。

フラグiiiが“1”であるときは、トレースデータの繰り返しが有ったことを示し、データivはその繰り返し回数を示し、トレースデータiiは、最後に繰り返し状態から抜けたトレースデータを示す。

#### (発明の効果)

以上の説明から明らかなように本発明によれば、必要のないデータの繰り返しをトレース用バッファに格納せず有効な情報だけを収集することによってトレース用バッファの格納効率を向上するという著しい工業的効果がある。

10はトレースアドレス間隔レジスタ(TRA I)、  
12はトレースアドレス情報レジスタ(TR I)、  
13はフリップフロップ、  
51はトレースアドレス下位レジスタ(TRAL)、  
52はトレースアドレス上位レジスタ(TRA U)、を示す。

代理人 弁理士 井 術 貞一

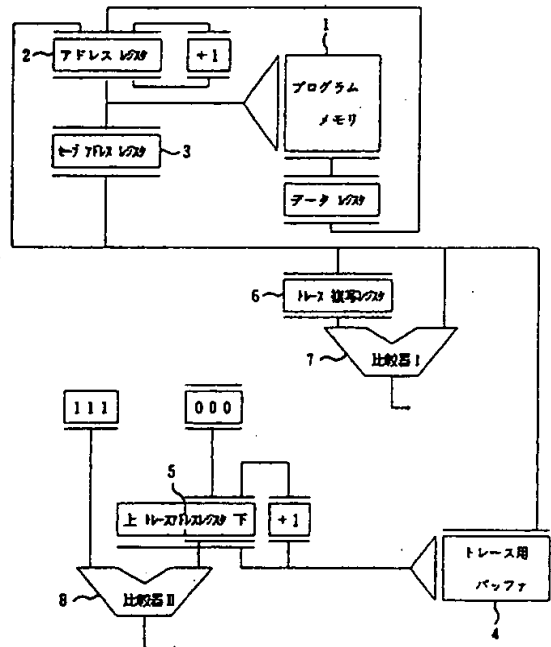


#### 4 図面の簡単な説明

- 第1図は本発明の構成を示すブロック図、  
第2図は本発明の一実施例の構成を示す図、  
第3図は本発明の一実施例の動作例としてのプログラムの流れを示す図、  
第4図は本発明の一実施例による処理例を示すタイムチャート、  
第5図は本発明の一実施例によるトレース結果を示す図である。

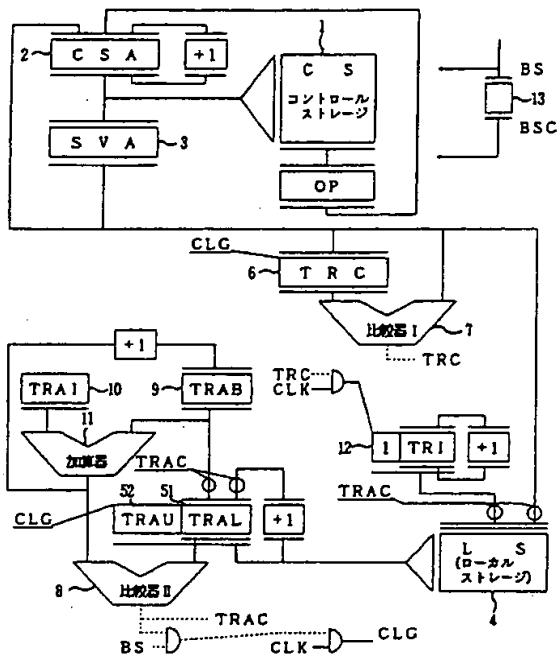
図において、

- 1はプログラムメモリ(コントロールストレージCS)、  
2はアドレスレジスタ(CSA)、  
3はセーブアドレスレジスタ(SVA)、  
4はトレース用バッファ(ローカルストレージLS)、  
5はトレースアドレスレジスタ、  
6はトレース複写レジスタ(TRC)、  
7、8は比較器、11は加算器、  
9はトレースアドレス基準レジスタ(TRA B)、



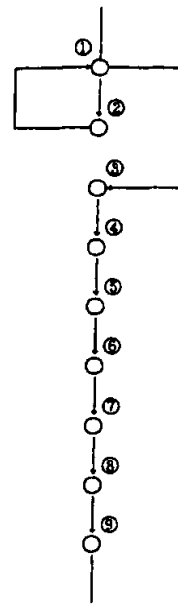
本発明の構成を示すブロック図

第 1 図



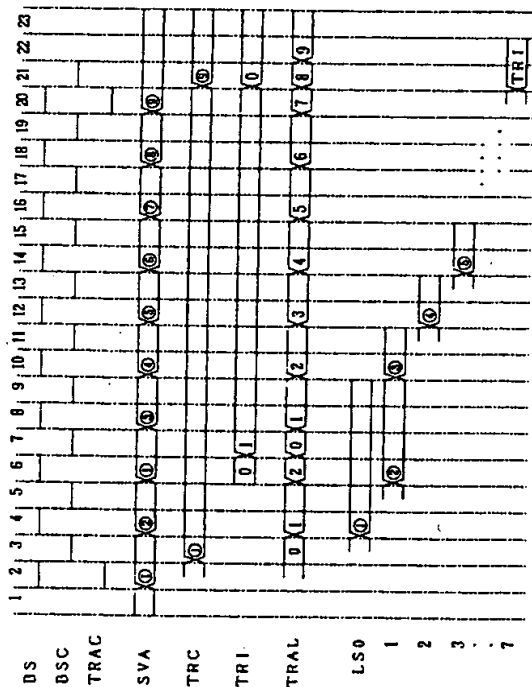
本発明の一実施例の構成を示す図

第 2 题

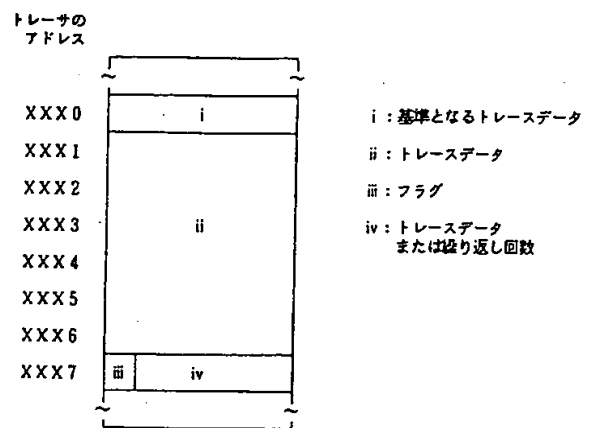


本発明の一実施例の動作例としてのプログラムの流れを示す図

第 3 回



第 4 図 本実験の一定条件による起爆時のタイムチャート



本発明の一実施例によるトレース結果を示す図

第 5 章